

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-148679

(43)Date of publication of application : 27.05.1994

(51)Int.CI. G02F 1/136  
G02F 1/1343

(21)Application number : 04-297492

(71)Applicant : FUJITSU LTD

(22)Date of filing : 09.11.1992

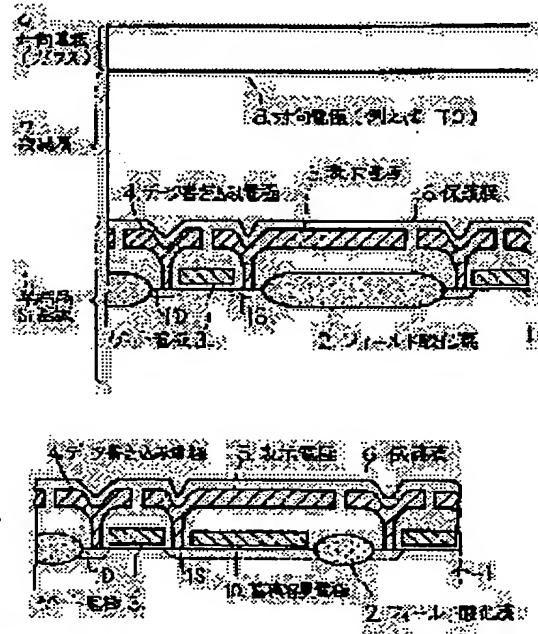
(72)Inventor : MATSUOKA HIDETATSU

## (54) REFLECTIVE LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To accelerate a switching element for liquid crystal drive and to improve display quality.

**CONSTITUTION:** This device is provided with a single crystal silicone substrate 1 for which an MOSFET arranged in the shape of a matrix, picture element electrode 5 connected to the source of the MOSFET, data bus 4 for connecting the drain of the MOSFET and scan bus connected to a gate electrode 3 of the MOSFET and arranged vertically to the data bus are formed on the surface, transparent substrate 9 provided at a fixed gap through a liquid crystal layer 7 to the silicone substrate and attached a transparent common electrode 8, and storage capacity electrode 10 constituting electrostatic capacity at a gap to the picture element electrode or the source of the MOSFET. The storage capacity electrode 10 is simultaneously led out outside. The data bus 4 and the picture element electrode 5 are formed so as to cover the surface of the gate electrode 3. The surface of the picture element electrode 5 is made flat.



### LEGAL STATUS

[Date of request for examination] 11.12.1998

[Date of sending the examiner's decision of rejection] 27.06.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3156400

[Date of registration] 09.02.2001

[Number of appeal against examiner's decision of rejection] 2000-11521

[Date of requesting appeal against examiner's 27.07.2000]

decision of rejection]

[Date of extinction of right]

08.05.2002

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-148679

(43)公開日 平成6年(1994)5月27日

(51)Int.Cl.<sup>5</sup>

G 0 2 F 1/136  
1/1343

識別記号

5 0 0

序内整理番号

9018-2K

F I

技術表示箇所

9018-2K

審査請求 未請求 請求項の数4(全5頁)

(21)出願番号

特願平4-297492

(22)出願日

平成4年(1992)11月9日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 松岡 秀達

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

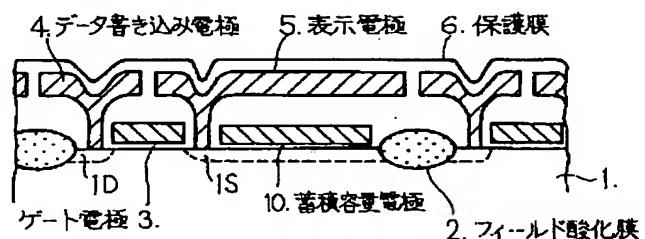
(54)【発明の名称】 反射型液晶表示デバイス

(57)【要約】

【目的】 反射型液晶表示デバイスに関し、液晶駆動用のスイッチング素子の高速化と表示品質の向上を目的とする。

【構成】 1) マトリクス状に配置されたMOS FETと、MOS FETのソースに接続する画素電極5と、MOS FETのドレインを接続するデータバス4と、MOS FETのゲート電極3に接続し該データバスに垂直に配置されたスキャンバスとがその表面に形成された単結晶シリコン基板1と、液晶層7を介してシリコン基板と一定間隔を隔てて設けられ且つ透明の共通電極8が被着された透明基板9と、画素電極またはMOS FETのソースとの間に静電容量を構成する蓄積容量電極10を有する、2) 蓄積容量電極10が一括して外部に導出されている、3) データバス4と画素電極5がゲート電極3上を覆うように形成されている、4) 画素電極5の表面が平坦化されているように構成する。

本発明の実施例1の断面図



(2)

1

## 【特許請求の範囲】

【請求項1】マトリクス状に配置されたMOS FETと、該MOS FETのソースに接続する画素電極(5)と、該MOS FETのドレインを接続するデータバス(4)と、該MOS FETのゲート電極(3)に接続し該データバスに垂直に配置されたスキャンバスとがその表面に形成された単結晶シリコン基板(1)と、該単結晶シリコン基板上に液晶層(7)を介して該単結晶シリコン基板と一定間隔を隔てて設けられ且つ透明の共通電極(8)が被着された透明基板(9)と、該画素電極または該MOSFETのソースとの間に静電容量を構成する蓄積容量電極(10)とを有することを特徴とする請求項1記載の反射型液晶表示デバイス。

【請求項2】前記蓄積容量電極(10)が一括して外部に導出されていることを特徴とする請求項1記載の反射型液晶表示デバイス。

【請求項3】マトリクス状に配置されたMOS FETと、該MOS FETのソースに接続する画素電極(5)と、該MOS FETのドレインを接続するデータバス(4)と、該MOS FETのゲート電極(3)に接続し該データバスに垂直に配置されたスキャンバスとがその表面に形成された単結晶シリコン基板(1)と、該単結晶シリコン基板上に液晶層(7)を介して該単結晶シリコン基板と一定間隔を隔てて設けられ且つ透明の共通電極(8)が被着された透明基板(9)とを有し、該データバス(4)と前記画素電極(5)が該ゲート電極(3)上を覆うように形成されていることを特徴とする反射型液晶表示デバイス。

【請求項4】前記画素電極(5)の表面が平坦化されていることを特徴とする請求項1あるいは2あるいは3記載の反射型液晶表示デバイス。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は反射型液晶表示デバイスに関する。現在、表示装置として液晶表示デバイス(LCD)が注目されているが、アクティブマトリクス型LCDにおいては、液晶を駆動するために個々の画素にスイッチング素子としてアモルファスシリコン(a-Si)薄膜トランジスタ(TFT)やポリシリコンTFTが設けられている構造が主流である。

## 【0002】

【従来の技術】上記のTFTはオン抵抗が高く、また動作速度も遅いため、画素数の大きい精細な表示に使用するには限界があった。さらに、蓄積容量も画素電極とスキャンバスライン間に形成される容量を用いていたため大容量化ができず、したがって表示品質を向上させることは難しかった(作用の欄参照)。

## 【0003】

【発明が解決しようとする課題】本発明は液晶駆動用のスイッチング素子の高速化を図り、TFTの限界を超えて動作速度の速い表示ができることおよび表示品質の向上を目的とする。

2

## 【0004】

【課題を解決するための手段】上記課題の解決は、1)マトリクス状に配置されたMOS FETと、該MOS FETのソースに接続する画素電極5と、該MOS FETのドレインを接続するデータバス4と、該MOS FETのゲート電極3に接続し該データバスに垂直に配置されたスキャンバスとがその表面に形成された単結晶シリコン基板1と、該単結晶シリコン基板上に液晶層7を介して該単結晶シリコン基板と一定間隔を隔てて設けられ且つ透明の共通電極8が被着された透明基板9と該画素電極または前記MOS FETのソースとの間に静電容量を構成する蓄積容量電極10を有するの反射型液晶表示デバイス、あるいは2)前記蓄積容量電極10が一括して外部に導出されている前記1)記載の反射型液晶表示デバイス、あるいは3)マトリクス状に配置されたMOS FETと、該MOS FETのソースに接続する画素電極(5)と、該MOS FETのドレインを接続するデータバス(4)と、該MOS FETのゲート電極(3)に接続し該データバスに垂直に配置されたスキャンバスとがその表面に形成された単結晶シリコン基板(1)と、該単結晶シリコン基板上に液晶層(7)を介して該単結晶シリコン基板と一定間隔を隔てて設けられ且つ透明の共通電極(8)が被着された透明基板(9)とを有し、該データバス4と該画素電極5が該ゲート電極3上を覆うように形成されている反射型液晶表示デバイス、あるいは4)前記画素電極5の表面が平坦化されていることを特徴とする前記1)あるいは2)あるいは3)記載の反射型液晶表示デバイスにより達成される。

## 【0005】

【作用】本発明は、液晶駆動用のスイッチング素子として単結晶シリコン基板上に形成されたMOS FETを用い、この単結晶シリコン基板をそのまま液晶表示デバイスの一方の基板として使用することで、動作速度が速く高速の書き込みが可能となり、且つ成熟した単結晶シリコンプロセスが利用できることにより高い製造歩留が得られるようしている。

【0006】さらに、単結晶シリコンプロセスが利用できることにより画素内に容易に大容量の蓄積容量が形成できる。大容量の蓄積容量は以下の理由により画質を向上させることができる。

40 (1) MOS FETは種々の原因によりOFF状態においてもリーク電流が存在し、このリーク電流に依って液晶に書き込んだ電荷が失われる。従って、大容量の蓄積容量を付加できればリーク電流の影響を小さくすることができる。  
(2) ゲート電極とデータバスおよび表示画素間には寄生容量が存在するため、スキャンバスへの書きパルスのON/OFFによるゲート電極の電位変動が、画素電極の電位に影響を与えることになり、液晶に正しく書き電圧を印加できなくなる。一般には書き電圧の補正が必要となるが、蓄積容量によってこの現象の影響を少なくできる。

(3)

3

(3) 液晶の容量はON状態とOFF状態で異なるため残像が発生することがあるが、蓄積容量によりこの効果を小さくできる。

【0007】

【実施例】図1は本発明を説明する構成図である。図は本発明による反射型液晶表示デバイスの断面図を示す。

【0008】図において、1はSi基板、1Dはn<sup>+</sup>型ドレン領域、1Sはn<sup>+</sup>型ソース領域、2は基板表面を選択酸化して形成されたフィールド酸化膜、3はゲート絶縁膜を介して基板上に形成されたMOS FETのゲート電極、4はMOS FETのドレンに接続するデータバス(データ書込電極)、5はMOS FETのソースに接続する画素電極(表示電極)、6は層間絶縁および保護用の絶縁膜、7は液晶層、8は共通電極(対向電極)で、例えばITO(インジウムすずの酸化物)膜、9は共通電極を被着した対向基板でガラス基板である。

【0009】図のように、MOS FETと画素電極5とからなる画素部は液晶層7を介して共通電極8と対向して構成されている。この図は特別な蓄積容量は特に設けられていないが、透過型のLCDと同様に表示電極を隣接するスキャンバス(ゲートバス)に絶縁膜を介して一部が重畳するように形成して画素電極/スキャンバス間の容量を構成しているが、発明1では実施例に示される蓄積容量電極が付加される。

【0010】図2は本発明の実施例1の断面図である。以下の図2～6ではSi基板部のみの断面を示す。導電膜を用いて、蓄積容量電極10をソース領域1S上に絶縁膜を介して形成されている。蓄積容量は画素電極と並列に蓄積容量電極/ソース領域間のMOS容量が取りつけられることになり、表示品質を向上させている。

【0011】図3は本発明の実施例2の断面図である。この例は画素電極と並列にp-n接合ダイオードによる容量が取りつけられており、表示品質を向上させている。

【0012】この例では、MOS FETのn<sup>+</sup>型ソース領域を深く形成し、その上にn<sup>-</sup>型Si層を成長させ、ガス拡散またはイオン注入によりp型不純物を導入してp<sup>+</sup>型Si層11を形成し、その上に蓄積容量電極13を形成している。

【0013】この場合、表示デバイスの動作中はp-n接合ダイオードには逆バイアスが印加されて接合容量が形成される。なお、図2、3では蓄積容量電極10は金属膜で形成してもよいが、ゲートと同一被膜【例えば、厚さ1200Åのポリシリコン膜と厚さ1800Åのタンゲステンシリサイド(WSi)膜の複合膜】で形成してもよい。

【0014】図4は本発明の実施例3の断面図である。画素電極と並列にMOS容量を形成するために、MOS FETのドレン領域に接続されているドレン電極12を厚さ2000Åのポリシリコン膜で図2、3の画素電極と同程度に大きさで形成し、その表面に厚さ500Åの熱酸化膜を形成し、その上に厚さ1200Åのポリシリコン膜と厚さ18

4

00ÅのWSi膜の複合膜からなる蓄積容量電極10を形成してスタック容量を形成する。なお、画素電極5はドレン電極12に接続して最表面に形成される。

【0015】この構造では、図2、3の容量より大きい容量を付加することができ、一層の表示品質の向上が可能となる。上記の図2～4の蓄積容量電極10は、従来のようにスキャンバス(ゲートバス)に接続してもよいが、蓄積容量電極10を一括して外部に導出し、ここに適当な電圧を供給することにより、書込電圧による容量の変化を防止して画質の向上を図ることができる。

【0016】また、MOS FETのゲート電極を単にポリシリコン膜だけを用いて形成すると光を通してしまっため、光を反射するあるいは不透明な材料を使用することで、ゲート下のチャネル領域を光から遮蔽し、MOS FETのリーク電流を低減し、画質の向上を図ることができる。このようなゲート電極材料としては、金属、金属珪化物、金属珪化物とポリシリコンの複合膜等がある。

【0017】図5本発明の実施例4の断面図である。画素電極5とデータバス(データ書込電極)4とを重ね合わせるように形成して、MOS FETとその周辺を光から遮蔽し、光によるリーク電流を低減し、表示品質の向上を図っている。

【0018】この例では、画素電極5とデータバス4は厚さ1μmのアルミニウム(A1)膜を用い、ゲート3に接続し且つゲートに垂直に配線されたスキャンバスがデータバス4を跨ぐ部分には、厚さ1200Åのポリシリコン膜と厚さ1800ÅのWSi膜の複合膜を用いれば光の遮断には十分であり、配線の低抵抗化と表示品質の向上が図られる。

【0019】図6は本発明の実施例5の断面図である。MOS FETを覆って画素電極を形成すると、画素電極に凹凸が生じ、画質が低下するので画素電極として厚さ3μmのA1膜で形成し、表面を研磨して平坦化することで画質の向上が可能となる。

【0020】研磨は粒径50nmのコロイダルシリカ(pH9～10)を砥粒として用い、90 rpmで13分間行った。また、画素電極と画素電極との間に凹凸が発生すると、液晶層を厚みがその部分だけ変化して画質が低下するため、画素電極の上に堆積する保護膜を、例えば初めに気相成長(CVD)成長による二酸化シリコン(SiO<sub>2</sub>)膜を3μmの厚さだけ堆積し、粒径50nmのコロイダルシリカ(pH9～10)を使用して、荷重100 g/cm<sup>2</sup>、90 rpmで13分間行った。この結果、Si基板の表面は平坦化され画質の向上が可能となった。

【0021】なお、いずれの実施例においても、表示電極を駆動するMOS FETは、場合によってはソース/ドレン間の耐圧が10V以上必要となるので、ソースドレン領域のイオン注入をりんイオン(P<sup>+</sup>)【エネルギー120 KeV、ドーズ量1E14cm<sup>-2</sup>】と砒素イオン(As<sup>+</sup>)【エネルギー70 KeV、ドーズ量4E15cm<sup>-2</sup>】と2度行うこと

(4)

5

より(DDD構造)、高耐圧化が可能となる。

【0022】次に、本発明を適用した場合の利点を以下に列挙する。

- (1) 蓄積容量部の形成が容易であり、反射型で使用するため透過型のようにFET部が表示されないということではなく、表示部の開口率の低下にはならない。
- (2) 駆動素子が単結晶MOS FETであるため、TFTより高速の駆動ができる。
- (3) 駆動素子が単結晶MOS FETであるため、周辺回路を同じプロセスを用いて工程数を増やさないで駆動素子と一体化して作製できる。
- (4) 蓄積容量の一方の電極が半導体層によって形成されていても、他方の電極としてシリコン基板等を利用できるため極性反転等による容量変化を抑え込むことができる。
- (5) 蓄積容量をMOS構造で形成する場合、誘電体膜として信頼性の高い熱酸化膜が使用できる。

【0023】なお、シリコン基板を用いた反射型LCDの例として、液晶(ホスト)に2色性色素(ゲスト)を添加したゲストホスト(GH)型液晶を用いて形成した視野角の広い反射型液晶表示装置<sup>1)</sup>が発表されている。

【0024】1) NIKKEI ELECTRONICS, 1981.2.16, p16  
4.

これに対して、本発明はシリコン基板上に通常のTN(Twisted Nematic)型液晶を用いて主として投写用としての利用を図り、且つ大きな蓄積容量を付加し、またFET部を遮光し、また画素電極面を平坦化して画質を向上させている。

【0025】

【発明の効果】本発明によれば、液晶駆動用のスイッチ

6

ング素子の高速化が可能となり、TFTの限界を超えて高速の書きができるようになった。また、大容量の蓄積容量が形成でき且つ画素電極およびシリコン基板の表面を平坦化することにより表示品質を向上することができ、さらに、成熟したシリコンプロセスを利用できるため製造歩留の向上に寄与することができた。

#### 【図面の簡単な説明】

【図1】 本発明を説明する構成図

【図2】 本発明の実施例1の断面図

【図3】 本発明の実施例2の断面図

【図4】 本発明の実施例3の断面図

【図5】 本発明の実施例4の断面図

【図6】 本発明の実施例5の断面図

#### 【符号の説明】

1 Si基板

1D n<sup>+</sup>型ドレイン領域

1S n<sup>+</sup>型ソース領域

2 フィールド酸化膜

3 MOS FET のゲート電極

4 MOS FET のドレインに接続するデータバス(データ書き込み電極)

5 MOS FET のソースに接続する画素電極(表示電極)

6 層間絶縁および保護用の絶縁膜

7 液晶層

8 共通電極(対向電極)でITO膜

9 共通電極を被着した対向基板でガラス基板

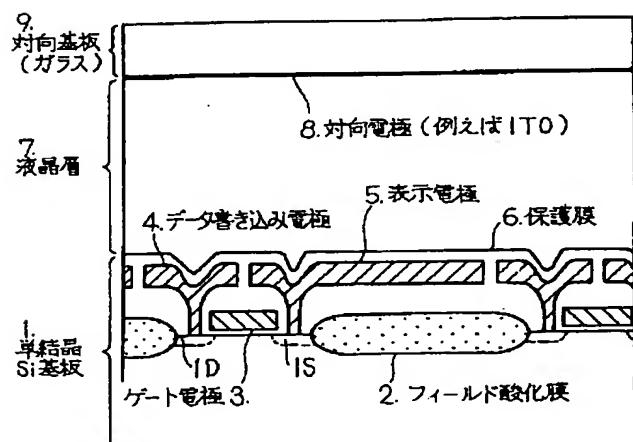
10 蓄積容量電極

11 p<sup>+</sup>型Si層

12 ドレイン電極

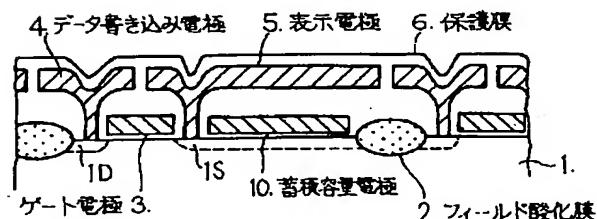
【図1】

#### 本発明を説明する構成図



【図2】

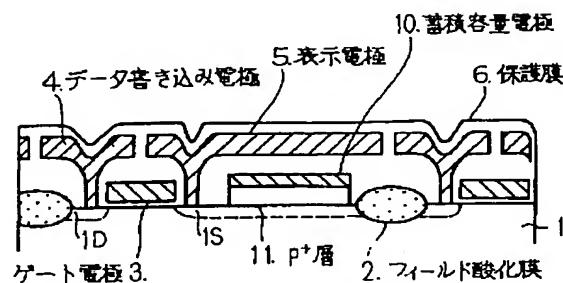
#### 本発明の実施例1の断面図



(5)

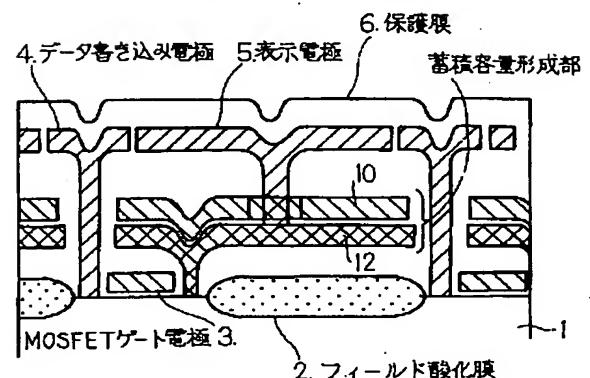
【図3】

本発明の実施例2の断面図



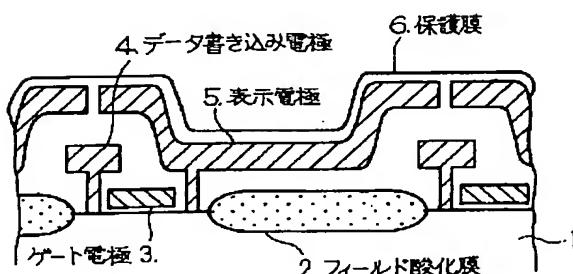
【図4】

本発明の実施例3の断面図



【図5】

本発明の実施例4の断面図



【図6】

本発明の実施例5の断面図

